

2871

PATENT
2658-0283P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Gee Sung CHAE et al. Conf.: 2901
Appl. No.: 10/028,305 Group:
Filed: December 28, 2001 Examiner:
For: LIQUID CRYSTAL DISPLAY DEVICE AND
FABRICATING METHOD THEREOF

*2/Print
Taper
G. Stang
2-15-02*

LETTER

Assistant Commissioner for Patents
Washington, DC 20231

February 14, 2002

RECEIVED
FEB - 6 2002
TC 2800 MAIL ROOM

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
KOREA	2001-0014650	March 21, 2001

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By

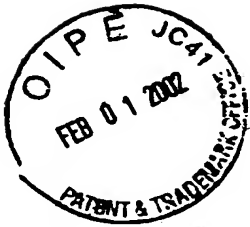
Joseph A. Kolasch
Joseph A. Kolasch, #22,463

JAK/ndb
2658-0283P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment

Gee Sung CHAE et al
2658-0183P
10/028,305
December 28, 2001
BSKB, LLP
(703) 205-8000



대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

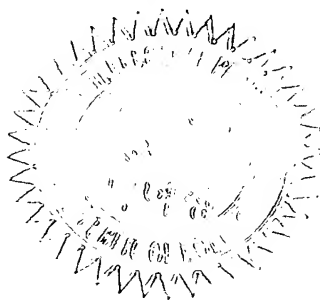
This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

RECEIVED
FEB-6 2002
TC 2800 MAIL ROOM

출원번호 : 특허출원 2001년 제 14650 호
Application Number PATENT-2001-0014650

출원년월일 : 2001년 03월 21일
Date of Application MAR 21, 2001

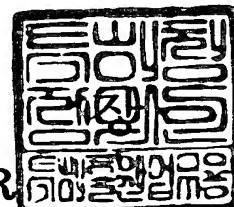
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2001 년 08 월 25 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2001.03.21
【발명의 명칭】	액정표시장치 및 그 제조방법
【발명의 영문명칭】	Liquid Crystal Display Device and Fabricating Method Thereof
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	조규철
【성명의 영문표기】	JO, Gyoo Chul
【주민등록번호】	691010-1807618
【우편번호】	435-040
【주소】	경기도 군포시 산본동 1155 가야아파트 512-901
【국적】	KR
【발명자】	
【성명의 국문표기】	채기성
【성명의 영문표기】	CHAE, Gee Sung
【주민등록번호】	630125-1143617
【우편번호】	406-130
【주소】	인천광역시 연수구 동춘동 111동 한양1차아파트 607호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 김영호 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 1 면 1,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 30,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 3층 구조의 버스라인에서 최하층의 과식각을 방지할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치는 액정셀들이 매트릭스형태로 배열된 액정표시장치에 있어서, 데이터신호가 공급되는 데이터라인과, 스캔신호가 공급되는 게이트라인과, 액정셀을 구동하기 위한 화소전극과, 상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 전환하기 위한 박막트랜지스터와, 상기 박막트랜지스터의 반도체층상에 동일패턴으로 형성되는 제1 배리어금속층을 구비하고, 상기 데이터라인, 소스 및 드레인전극은 주금속층과 제2 배리어금속층으로 구성되는 것을 특징으로 한다.

본 발명에 의하면, 3층 구조의 버스라인 형성시 제1 배리어금속층을 먼저 패터닝하고 주금속층과 제2 배리어금속층을 패터닝하여 최하층의 과식각을 방지할 수 있다.

【대표도】

도 5

【명세서】

【발명의 명칭】

액정표시장치 및 그 제조방법{Liquid Crystal Display Device and
Fabricating Method Thereof}

【도면의 간단한 설명】

도 1은 종래의 액정표시장치를 나타내는 평면도.

도 2는 도 1에 도시된 액정표시장치를 선 'A-A'를 따라 절취한 액정표시장
치를 나타내는 단면도.

도 3a 내지 도 3e는 도 2에 도시된 액정표시장치의 제조방법을 단계적으로
나타내는 단면도.

도 4는 종래의 3층 구조의 버스라인의 과식각을 나타내는 단면도.

도 5는 본 발명의 실시 예에 따른 액정표시장치를 나타내는 단면도.

도 6a 내지 도 6e는 도 5에 도시된 액정표시장치의 제조방법을 단계적으로
설명하는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1,31 : 기판 3,33: 게이트전극

5,35 : 소스전극 7,37: 드레인전극

9,39 : 게이트절연막 11,41 : 게이트라인

13,43 : 데이터라인 15,45 : 활성층
17,47 : 오믹접촉층 19, 49 : 접촉홀
21,51 : 보호층 23,53 : 화소전극
25,55 : 게이트패드 27,57 : 데이터패드

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히, 3층 구조의 버스라인에서 최하층금속의 과식각을 방지하는 액정표시장치 및 그 제조방법에 관한 것이다.
- <16> 액티브 매트릭스 구동방식의 액정표시장치는 스위칭소자로서 박막트랜지스터를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하며, 퍼스널 컴퓨터와 노트북 컴퓨터는 물론, 복사기 등의 사무자동화기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.
- <17> 액정표시장치는 박막트랜지스터(Thin Film Transistor : 이하 'TFT'라 함)로 이루어진 스위칭소자와 기판 사이에 주입되어 입사되는 빛을 투과하거나 반사하는 액정을 제어하는 화소(Pixel)전극을 기본단위로 하는 화소가 종횡으로 배열된 구조를 가진다.

- <18> 액정표시장치에서 스위칭소자인 TFT와 이에 연결된 화소전극으로 구성된 $N \times M$ (여기서, N 및 M 은 자연수)개의 단위 화소가 하부기판 상에 매트릭스(Matric) 상태로 배열되고, 이 TFT 게이트전극들과 소스전극들에 신호를 전달하는 N 개의 게이트라인과 M 개의 데이터라인이 교차되어 형성된다.
- <19> 도 1은 액정표시장치의 TFT 기판에 대한 평면도이다.
- <20> 도 2는 도 1에 도시된 액정표시장치를 선 'A-A'를 따라 절단한 단면도이다.
- <21> 도 1 및 도 2를 참조하면, 액정표시장치는 게이트라인(11)과 데이터라인(14)의 교차부에 형성되어진 TFT(T)와, TFT에 접속된 화소전극을 포함하는 하판과, 도시되지 않은 칼라필터 등이 형성된 도시되지 않은 상판과, 상하판 사이에 주입된 도시되지 않은 액정으로 구성된다.
- <22> TFT(T)는 게이트라인(11)에서 연장된 게이트전극(3)과, 데이터라인(11)에서 연장된 소스전극(5)과, 화소전극(23)과 접촉홀(19b)에 의해 접속된 드레인전극(7)과, 소스전극(5)과 드레인전극(7)에 접속된 반도체층(15,17)을 구성으로 한다. 게이트라인(11)과 데이터라인(13) 각각의 일측단에는 구동 IC(Integrated Circuit)와 접속되는 게이트패드부(GP)와 데이터패드부(DP) 각각이 형성된다.
- <23> 게이트라인(11) 및 게이트전극(3)과 게이트패드(25)는 동일한 금속재질이 사용되며, 통상 알루미늄(Al)과 몰리브덴(Mo)이 순차적으로 적층된 구조를 가지고 있다. 데이터라인(13)은 신호전달 특성이 양호하도록 저항값을 줄이기 위하여 몰리브덴(Mo) 금속으로 이루어진다.

- <24> 도 3a 내지 도 3e는 도 1에 도시된 액정표시장치의 제조방법을 선 'A-A'을 따라 절단하여 단계적으로 나타내는 단면도이다.
- <25> 도 3a를 참조하면, 기판(1) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄(Al) 또는 구리(Cu)/몰리브덴(Mo) 등을 순차적으로 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리소그래피방법으로 패터닝하여 기판(1)상에 게이트전극(3), 게이트라인(11) 및 게이트패드(25)를 형성한다.
- <26> 도 3b를 참조하면, 기판(1) 상에 게이트패드(25) 및 게이트전극(3)을 덮도록 게이트절연막(9), 활성층(15) 및 오믹접촉층(17)이 PECVD(Plasma Enhanced Chemical Vapor Deposition)로 순차적으로 형성된다.
- <27> 게이트절연막(9)은 질화실리콘(SiN_x) 또는 산화실리콘(SiO_x)으로 절연물질을 증착하여 형성된다. 활성층(15)은 불순물이 도핑되지 않은 비정질실리콘으로 형성된다. 또한, 오믹접촉층(17)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘으로 형성된다.
- <28> 오믹접촉층(17) 및 활성층(15)을 식각을 포함하는 포토리소그래피방법으로 게이트절연막(9)이 노출되도록 패터닝한다.
- <29> 도 3c를 참조하면, 게이트절연막(9) 상에 크롬(Cr), 몰리브덴(Mo)등의 금속층이 오믹접촉층(17)을 덮도록 CVD방법 또는 스퍼터링(sputtering)방법으로 증착된다. 증착된 금속(Cr, Mo)은 오믹접촉층(17)과 오믹접촉을 이룬다.

- <30> 그리고, 금속층(Cr, Mo)을 게이트절연막(9)이 노출되도록 포토리소그래피방법으로 패터닝하여 데이터라인(13), 데이터패드(27), 소스 및 드레인전극(5,7)이 형성된다.
- <31> 소스 및 드레인전극(5,7) 패터닝시 사이의 게이트전극(3)과 대응하는 부분의 오믹접촉층(17)도 패터닝되도록 하여 활성층(15)을 노출시킨다. 활성층(15)의 소스 및 드레인전극(5,7)사이의 게이트전극(3)과 대응하는 부분은 채널이 된다.
- <32> 도 3d를 참조하면, 게이트절연층(9) 상에 게이트패드(25), 데이터패드(27), 소스 및 드레인전극(5,7)을 덮도록 질화실리콘 또는 산화실리콘 등의 무기절연물질 또는 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프 (cytop)또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물을 증착하여 보호층(21)이 형성된다.
- <33> 보호층(21)을 포토리소그래피방법으로 패터닝하여 드레인전극(7), 게이트패드(25) 및 데이터패드(27)를 노출시키는 제 1 내지 제 3접촉홀(19a 내지 19c)이 형성된다.
- <34> 도 3e를 참조하면, 보호층(21) 상에 투명전도성물질인 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하 'ITO'라 함), 인듐-징크-옥사이드(Indium-Zinc-Oxide) 또는 인듐-틴-징크-옥사이드(Indium-Tin-Zinc-Oxide) 을 증착한 후 패터닝하여 보호층(21)상의 TFT와 대응되는 부분을 제외한 부분에 화소전극(23) 및 보호전극(29)이 형성된다.

- <35> 화소전극(23)은 제2 접촉홀(19b)을 통해 드레인전극(7)과 접촉되며, 보호전극(29)은 제1 접촉홀(19a)을 통해 게이트패드(25)와 접촉되며, 제3 접촉홀(19c)을 통해 데이터패드(27)와 전기적으로 접촉된다.
- <36> 이와 같이, 종래에 소스/드레인전극으로 Cr, MO등의 단층막을 주로 사용하였다. 그러나, 액정표시장치가 고정세로 되어갈수록 TFT의 소스/드레인전극은 제1 금속층(6a)/제2 금속층(6b)/제3층 금속(6c)층의 3층 구조로 형성된다. 제1 및 제3 금속층(6a,6c)은 주로 몰리브덴(Mo)으로 형성되며, 제2 금속층(6b)은 알루미늄(Al) 또는 알루미늄 합금으로 형성된다.
- <37> 그러나, 도 4에 도시된 바와 같이 3층 구조의 금속층 패터닝시 습식식각방식을 사용하면 에천트내에서 제1 및 제3 금속층(6a,6c)과 제2 금속층(6b)의 전극준위차이(electrode potential)로 제1 및 제3 금속층(6a,6c)이 제2 금속층(6b)보다 이온화하는 경향이 크므로 제1 및 제3 금속층(6a,6c)은 제2 금속층(6b)에 의해 산화되고, 제2 금속층(6b)은 제1 및 제3 금속층(6a,6c)에 의해 환원된다.
- <38> 이로 인해 제1 내지 제3 금속층(6a 내지 6c)은 제2 금속층보다 언더컷(undercut)이 되어 그 다음에 보호층을 증착하면 반도체층과 반응성이 좋은 제2 금속층(6b)이 내려앉아 접촉이 발생하므로 누설전류의 상승 등 TFT특성저하 및 불량 발생하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<39> 따라서, 본 발명의 목적은 3층 구조의 버스라인에서 최하층의 금속의 과식각을 방지할 수 있는 액정표시장치 및 그 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<40> 상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시장치는 액정셀들이 매트릭스형태로 배열된 액정표시장치에 있어서, 데이터신호가 공급되는 데이터라인과, 스캔신호가 공급되는 게이트라인과, 액정셀을 구동하기 위한 화소전극과, 상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 절환하기 위한 박막트랜지스터와, 상기 박막트랜지스터의 반도체층상에 동일패턴으로 형성되는 제1 배리어금속층을 구비하고, 상기 데이터라인, 소스 및 드레인전극은 주금속층과 제2 배리어금속층으로 구성되는 것을 특징으로 한다.

<41> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치의 제조방법은 기판 상에 게이트라인, 박막트랜지스터의 게이트전극을 형성하는 단계와, 상기 기판 상에 게이트절연막을 전면 도포하는 단계와, 상기 게이트절연막 상에 반도체층 및 제1 배리어금속층을 동일 패턴으로 형성하는 단계와, 상기 게이트절연막 상에 주금속층 및 제2 배리어금속층의 2층 구조로 이루어진 데이터라인, 소스 및 드레인전극을 형성하는 단계와, 상기 게이트전극과 소스전극 및 드레인전극을 가지는 박막트랜지스터를 덮도록 상기 게이트절연막 상에 보호층을 전면 형성하

는 단계와, 상기 드레인전극에 접속되도록 전극물질을 상기 보호층상에 전면 증착한 후에 이를 패터닝하여 화소전극을 형성하는 단계를 포함한다.

<42> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<43> 이하, 도 5 내지 도 6e를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<44> 도 5는 본 발명의 실시 예에 따른 액정표시장치의 TFT의 기판에 대한 단면도이다.

<45> 도 5를 참조하면, TFT(T)는 게이트라인(41)에서 연장된 게이트전극(33)과, 데이터라인(41)에서 연장된 소스전극(35)과, 화소전극(53)과 접촉홀(49b)에 의해 접속된 드레인전극(37)과, 소스전극(35)과 드레인전극(37)에 접속된 반도체층(45,47)을 구성으로 한다. 게이트라인(41)과 데이터라인(43) 각각의 일측단에는 구동 IC(Integrated Circuit)와 접속되는 게이트패드부(GP)와 데이터패드부(DP) 각각이 형성된다.

<46> 게이트라인(41) 및 게이트전극(33)과 게이트패드(55)는 동일한 금속재질이 사용되며, 통상 알루미늄(Al)과 몰리브덴(Mo)이 순차적으로 적층된 구조를 가지고 있다. 데이터패드(57), 데이터라인(44), 소스 및 드레인전극(35,37)은 알루미늄(Al), 알루미늄 합금/몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 티탄(Ti) 등의 2층의 구조로 형성된다.

- <47> 도 6a 내지 도 6e는 도 5에 도시된 액정표시장치의 제조방법을 나타내는 단면도이다.
- <48> 도 6a를 참조하면, 기판(31) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄(Al) 또는 구리(Cu)/몰리브덴(Mo) 등을 순차적으로 증착하여 2층 구조의 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리소그래피방법으로 패터닝하여 기판(31)상에 게이트라인(41), 게이트전극(33)과 게이트패드(55)가 형성된다.
- <49> 도 6b를 참조하면, 게이트절연막(39), 활성층(45), 오믹접촉층(47) 및 제1 배리어금속층(59a)이 순차적으로 적층된다. 게이트절연막(39), 활성층(45), 오믹접촉층(47) 및 제1 배리어금속층(59a)은 PECVD방법을 이용해 적층되거나 또는, 게이트절연막(39), 활성층(45), 오믹접촉층(47)은 PECVD방법을 증착되고, 제1 배리어금속층(59a)은 스퍼터링방법으로 증착된다.
- <50> 게이트절연막(39)은 질화실리콘 또는 산화실리콘 등의 절연물질을 게이트전극을 덮도록 전면 증착하여 형성된다. 활성층(45)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 오믹접촉층(47)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다. 제1 배리어금속층(59a)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 티탄(Ti)등으로 형성된다.
- <51> 채널부의 제1 배리어금속층(59a)을 습식식각 후 활성층(45)/오믹접촉층(47)을 건식식각하거나, 활성층(45)/오믹접촉층(47)/제1 배리어금속층(59a)의 3층이

모두 건식식각되거나, 3층이 모두 습식식각으로 형성하여 게이트절연막(39)이 노출되도록 패터닝한다.

<52> 도 6c를 참조하면, 게이트절연막(39) 상에 주금속층(59c)과 제2 배리어금속층(59b)이 제1배리어금속층(59a)을 덮도록 CVD방법 또는 스퍼터링(sputtering) 방법으로 연속적으로 증착된다.

<53> 그리고, 주금속층(59c)과 제2 배리어금속층(59b)을 제1 배리어금속층(59a)이 노출되도록 포토리소그래피방법으로 패터닝하여 게이트라인(41)과 수직되는 데이터패드(57)와, 소스 및 드레인전극(35,37)이 형성된다. 여기서, 주금속층은 알루미늄(Al) 또는 알루미늄 합금으로 형성되며, 제2 배리어금속층(59b)은 몰리브덴(Mo), 크롬(Cr), 텅스텐(W), 티탄(Ti)등으로 형성된다. 제2 배리어금속층(59b)은 제1 배리어금속층(59a)과 동일한 금속으로 형성될 수도 있다.

<54> 소스 및 드레인전극(35,37) 패터닝한 후 소스 및 드레인전극(35,37) 사이로 제1 배리어금속층(59a)과 오믹접촉층(47)을 건식식각으로 패터닝하여 활성층(45)이 노출된다. 활성층(45)의 소스 및 드레인전극(35,37)사이의 게이트전극(33)과 대응하는 부분은 채널이 된다.

<55> 도 6d를 참조하면, 게이트절연층(39) 상에 데이터패드(57), 소스 및 드레인전극(35,37)과, 기판(31)상에 게이트패드(55)를 덮도록 질화실리콘 또는 산화실리콘 등의 무기절연물질 또는 아크릴계(acryl)유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물을 증착하여 보호층(51)이 형성된다.

<56> 보호층(51)을 포토리소그래피방법으로 패터닝하여 드레인전극(37), 게이트패드(55) 및 데이터패드(57)를 노출시키는 제 1 내지 제 3접촉홀(49a, 49b, 49c)이 형성된다.

<57> 도 6e를 참고하면, 보호층(51) 상에 투명한 전도성물질인 IT0, IZO, ITZO를 증착한 후 패터닝하여 보호층(51) 상의 TFT와 대응되는 부분을 제외한 부분에 화소전극(53) 및 보호전극(58)이 형성된다.

<58> 보호전극(58)은 제1 접촉홀(49a)을 통해 게이트패드(55)와 접촉되며, 제3 접촉홀(49c)을 통해 데이터패드전극(57)과 접촉된다. 화소전극(53)은 제2 접촉홀(49b)을 통해 드레인전극(37)과 접촉된다.

【발명의 효과】

<59> 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 반도체층과 제1 배리어금속층을 같이 패터닝함하고 그 위에 주금속층/제2 배리어금속층을 포함하는 소스 및 드레인전극을 형성함으로써 제1 배리어금속층의 식각을 방지할 수 있게 된다. 이에 따라, 제1 배리어금속층의 과도식각에 의한 주금속층과 반도체층과의 접촉을 방지하여 박막트랜지스터 특성의 저하를 방지할 수 있다. 이 결과, 고정세 액정표시장치의 품질을 향상과 수율을 향상시킬 수 있다.

<60> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본

발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

액정셀들이 매트릭스형태로 배열된 액정표시장치에 있어서,
데이터신호가 공급되는 데이터라인과,
스캔신호가 공급되는 게이트라인과,
액정셀을 구동하기 위한 화소전극과,
상기 스캔신호에 응답하여 상기 데이터신호를 상기 화소전극으로 절환하기
위한 박막트랜지스터와,

상기 박막트랜지스터의 반도체층상에 동일패턴으로 형성되는 제1 배리어금
속층을 구비하고, 상기 데이터라인, 소스 및 드레인전극은 주금속층과 제2 배리
어금속층으로 구성되는 것을 특징으로 하는 액정표시장치.

【청구항 2】

제 1 항에 있어서,
상기 제1 및 제2 배리어금속층은 몰리브덴(MO), 크롬(Cr), 탄탈(Ta), 텅스
텐(W), 티탄(Ti) 중 어느 하나로 형성되는 것을 특징으로 하는 액정표시장치.

【청구항 3】

제 1 항에 있어서,
상기 주금속층은 알루미늄(Al) 또는 알루미늄 합금으로 형성되는 것을 특징
으로 하는 액정표시장치.

【청구항 4】

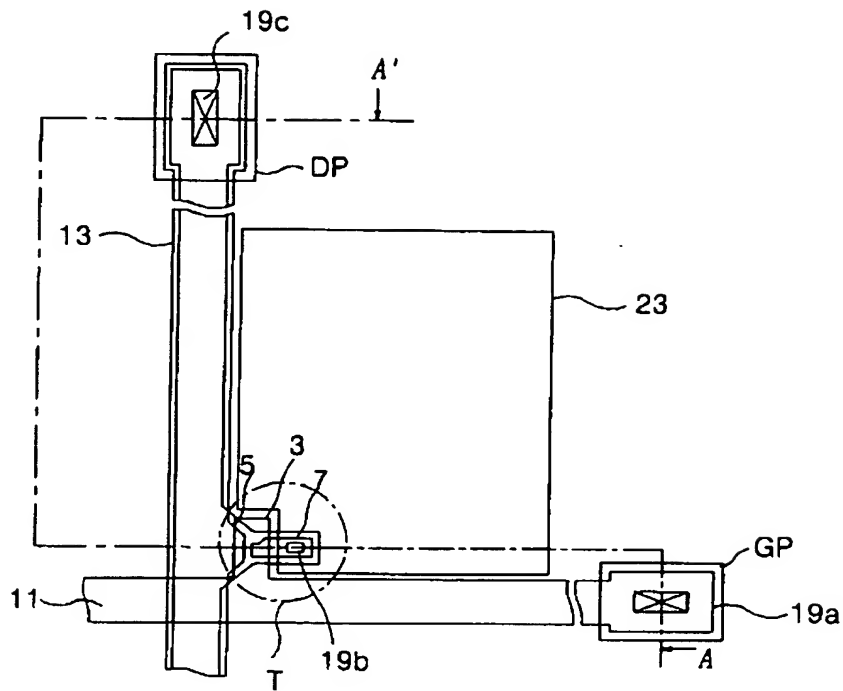
기판 상에 게이트라인, 박막트랜지스터의 게이트전극을 형성하는 단계와,
상기 기판 상에 게이트절연막을 전면 도포하는 단계와,
상기 게이트절연막 상에 반도체층 및 제1 배리어금속층을 동일 패턴으로 형성하는 단계와,
상기 게이트절연막 상에 주금속층 및 제2 배리어금속층의 2층 구조로 이루어진 데이터라인, 소스 및 드레인전극을 형성하는 단계와,
상기 게이트전극과 소스전극 및 드레인전극을 가지는 박막트랜지스터를 덮도록 상기 게이트절연막 상에 보호층을 전면 형성하는 단계와,
상기 드레인전극에 접속되도록 전극물질을 상기 보호층상에 전면 증착한 후에 이를 패터닝하여 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【청구항 5】

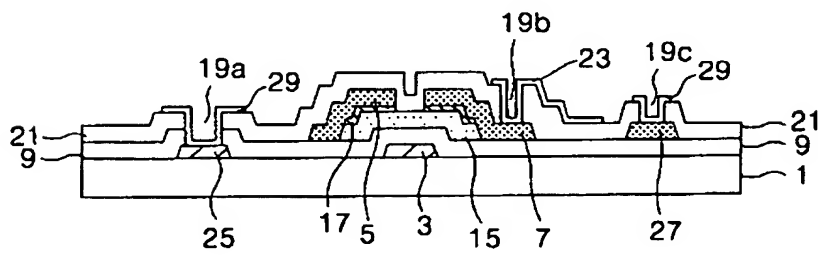
제 4 항에 있어서,
상기 소스 및 드레인전극사이의 제1 배리어금속층과 상기 반도체층에 포함되는 오믹접촉층을 식각하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

【도면】

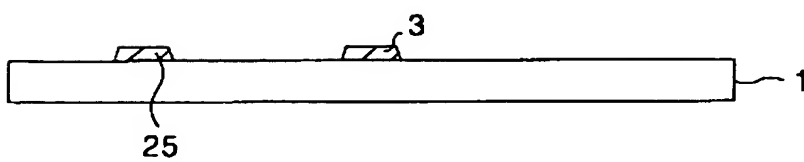
【도 1】



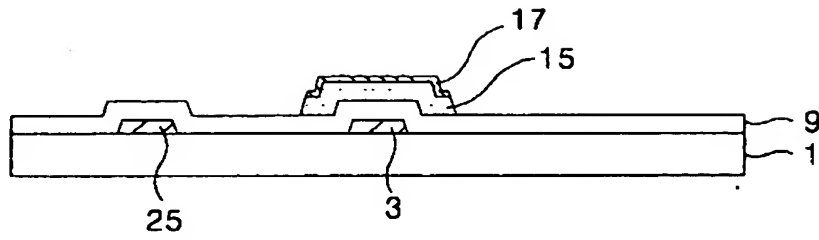
【도 2】



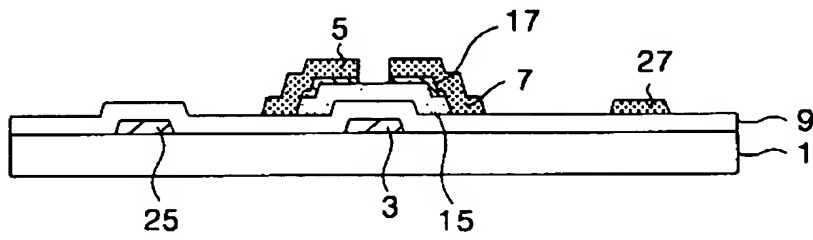
【도 3a】



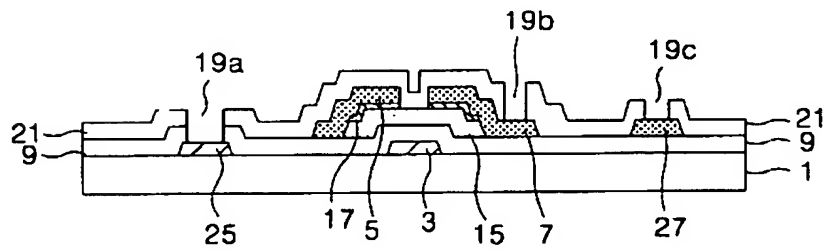
【도 3b】



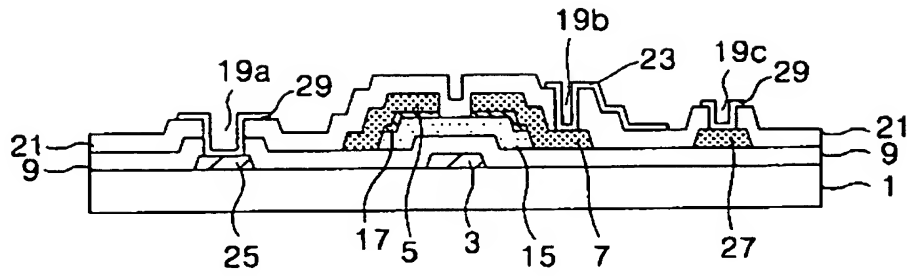
【도 3c】



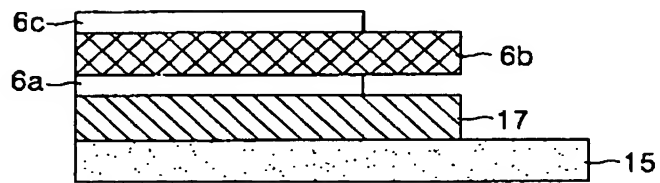
【도 3d】



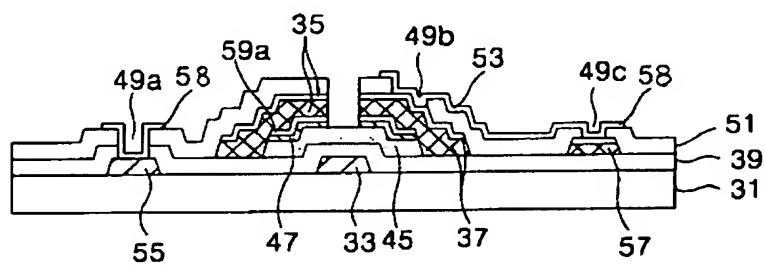
【도 3e】



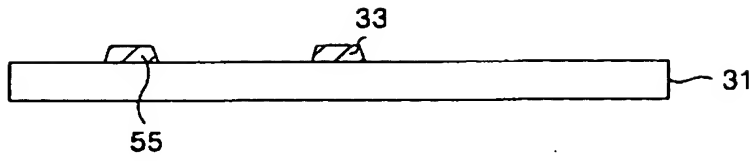
【도 4】



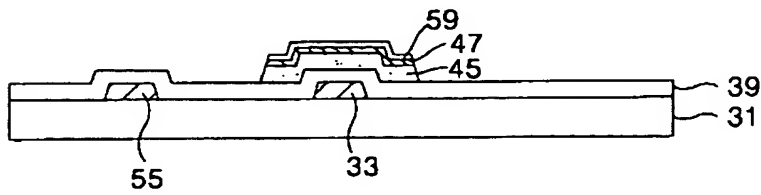
【도 5】



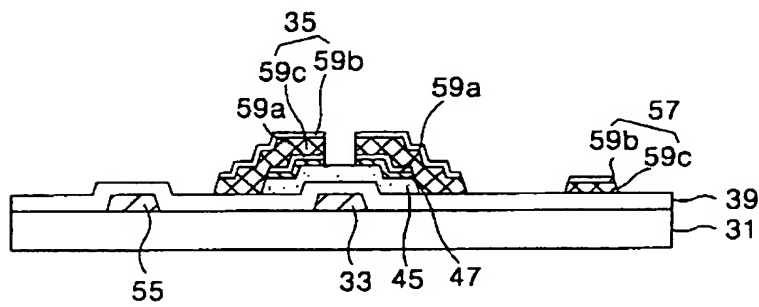
【도 6a】



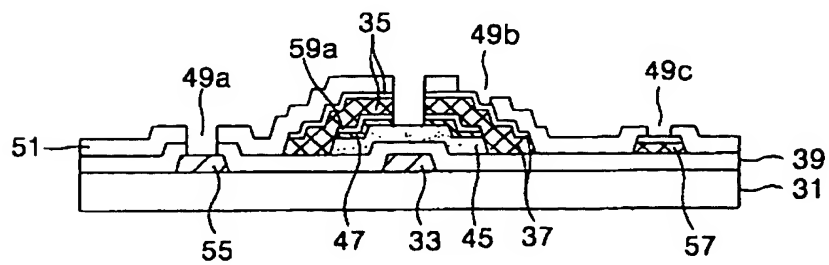
【도 6b】



【도 6c】



【도 6d】



【도 6e】

